

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-215158

(43)Date of publication of application : 06.08.1999

(51)Int.Cl.

H04L 12/40

(21)Application number : 10-011742 (71)Applicant : FUJI FILM MICRODEVICES CO

LTD

FUJI PHOTO FILM CO LTD

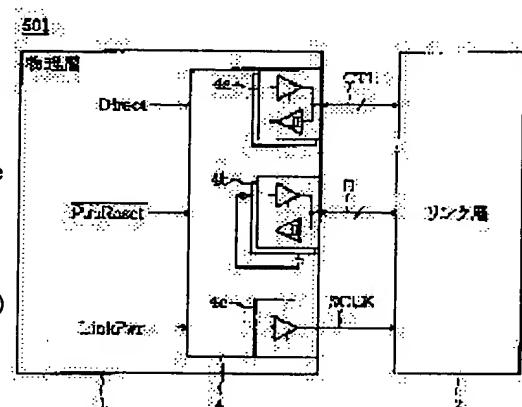
(22)Date of filing : 23.01.1998 (72)Inventor : MAMEZAKI YUUICHI

(54) IEEE 1394 INTERFACE AND METHOD FOR CONTROLLING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To make an IEEE 1394 interface operate stably when a physical-layer semiconductor chip and a link-layer semiconductor chips are AC-connected to each other.

SOLUTION: A communication interface circuit 501 which is constituted of an IEEE 1394 interface is provided with tri-state circuits 4a, 4b, and 4c which can output three states of two voltage states and one high-impedance state from output terminals and a control circuit 4 which controls the outputs of the circuits 4a, 4b, and 4c to high-impedance states while the power supply to a link layer is turned off (LinkPwr) or the power supply to a physical layer is reset (PupReset).



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-215158

(43)公開日 平成11年(1999)8月6日

(51)Int.Cl.⁶
H 0 4 L 12/40

識別記号

F I
H 0 4 L 11/00

3 2 0

審査請求 未請求 請求項の数 6 O.L (全 12 頁)

(21)出願番号 特願平10-11742

(22)出願日 平成10年(1998)1月23日

(71)出願人 391051588
富士フィルムマイクロデバイス株式会社
宮城県黒川郡大和町松坂平1丁目6番地
(71)出願人 000005201
富士写真フィルム株式会社
神奈川県南足柄市中沼210番地
(72)発明者 豆崎 裕一
宮城県黒川郡大和町松坂平1丁目6番地
富士フィルムマイクロデバイス株式会社内
(74)代理人 弁理士 高橋 敬四郎 (外1名)

(54)【発明の名称】 IEEE 1394インタフェース及びその制御方法

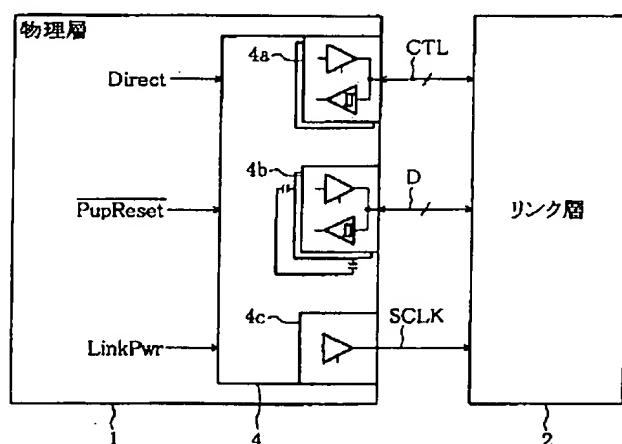
(57)【要約】

【課題】 物理層半導体チップとリンク層半導体チップをAC接続したときに安定した動作を行うことができるIEEE 1394インタフェース又はその制御方法を提供することを課題とする。

【解決手段】 2つの電圧状態とハイインピーダンス状態との3状態を出力端子から出力可能なトライステート回路(4a, 4b, 4c)と、リンク層の電源がオフの期間(Link Pwr)又は物理層の電源オンリセットの期間(PwrReset)にトライステート回路の出力をハイインピーダンス状態に制御する制御回路(4)とを有する。

実施例

501



【特許請求の範囲】

【請求項1】2つの電圧状態とハイインピーダンス状態との3状態を出力端子から出力可能なトライステート回路と、

リンク層の電源がオフの期間又は物理層の電源オンリセットの期間に前記トライステート回路の出力をハイインピーダンス状態に制御する制御回路とを有するIEEE1394インタフェース。

【請求項2】物理層とリンク層がAC接続されている請求項1記載のIEEE1394インタフェース。

【請求項3】前記トライステート回路は、制御信号、データ信号又はクロック信号を出力するための回路である請求項1又は2記載のIEEE1394インタフェース。

【請求項4】さらに、前記トライステート回路がハイインピーダンス状態のときに、該トライステート回路の出力端子を前記2つの電圧状態の中間の電圧状態にするため、該トライステート回路の出力端子に接続される電圧分割用抵抗を有する請求項1～3のいずれかに記載のIEEE1394インタフェース。

【請求項5】前記トライステート回路は物理層内に形成される請求項1～4のいずれかに記載のIEEE1394インタフェース。

【請求項6】物理層とリンク層がAC接続されている際、リンク層の電源がオフの期間又は物理層の電源オンリセットの期間に応じて、物理層とリンク層との間の制御信号、データ信号又はクロック信号をハイレベルとローレベルとの間の中間レベルに制御する工程を含むIEEE1394インタフェースの制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、IEEE1394規格のデジタルシリアル通信のインターフェース技術に関し、特にIEEE1394インターフェース内の物理層－リンク層間で信号のやりとりを行う技術に関する。

【0002】

【従来の技術】図2は、IEEE1394規格の通信ネットワークの構成を示す。

【0003】通信ネットワークは、複数のノードを通信ケーブル503で接続することにより構成される。1つのノードは、通信インターフェース回路(IEEE1394インターフェース回路)501とデバイス502を含む。デバイス502は、例えばビデオ機器やオーディオ機器やコンピュータ等である。

【0004】通信インターフェース回路501は、物理層半導体チップ(以下、物理層チップという)1とリンク層半導体チップ(以下、リンク層チップという)2と外部部品3を有する。物理層チップ1は、通信ケーブル503と直接信号の授受を行う層であり、リンク層チップ2はデバイス502と直接信号の授受を行う層である。

通信インターフェース回路501は、物理層チップ1とリンク層チップ2のセットで構成される。

【0005】通信ケーブル503は、信号ラインの他、電源ラインを有する。物理層チップ1は、通信ケーブル503から電源の供給を受ける。一方、リンク層チップ2は、デバイス502から電源の供給を受ける。したがって、物理層チップ1の電源電位とリンク層チップ2の電源電位は異なる場合がある。

【0006】本来であれば、リンク層チップ2だけでなく物理層チップ1についても、デバイス502から電源の供給を受けることが望ましい。そのようにすれば、通信インターフェース回路501を物理層チップ1とリンク層チップ2との2つに分ける必要はなく、通信インターフェース回路501を1つの半導体チップで構成することができる。

【0007】しかし、その場合、デバイス502の電源を切ると、通信インターフェース回路501に電源が供給されなくなり、通信インターフェース回路501が動作しなくなる。

【0008】IEEE1394の通信ネットワークは、チェイン状にノードが接続されており、接続されているノードのうちの1つの通信インターフェース回路501が動作しないと、他のノードに通信データを伝えることができなくなってしまうという不都合がある。

【0009】そのため、通信インターフェース回路501は、物理層チップ1とリンク層チップ2に分離されている。物理層チップ1は、通信ケーブル503から電源の供給を受けるので、デバイス502の電源を切っても動作する。物理層チップ1が動作していれば、通信ネットワークは他のノードに通信データを伝えることができる。リンク層チップ2は、デバイス502の電源を切ると動作しない。

【0010】物理層チップ1とリンク層チップ2は電源供給源が異なるので、それぞれの電源電位が異なることも十分に考えられる。そのような場合に対処するため、IEEE1394規格では、物理層チップ1とリンク層チップ2との接続方法を2種類規定している。第1はDC(直流)接続であり、第2はAC(交流)接続である。信号DIRECTは、1のときにDC接続を意味し、0のときにAC接続を意味するものであり、物理層チップ1とリンク層チップ2の両方に供給される。

【0011】AC接続の場合、外部部品3をアイソレーションバリアとして、物理層チップ1とリンク層チップ2との間に接続する。外部部品3は、直流成分を除去し、交流成分(信号の変化成分)のみを物理層チップ1とリンク層チップ2の間で伝える。AC接続すれば、物理層チップ1とリンク層チップ2の電源電位が異なる場合であっても、両チップ間で信号を伝達することができる。

【0012】また、物理層チップ1に電源が供給され、

リンク層チップ2に電源が供給されていなくても、外部部品3を設けることにより物理層チップ1とリンク層チップ2がACカップリングされているので、DC的に絶縁され、物理層チップ1は悪影響を受けない。

【0013】物理層チップ1は入出力回路4を有し、リンク層チップ2は入出力回路5を有する。入出力回路4と5の間には、外部部品3を介して、8ビット(8本)のデータ線D、2ビット(2本)の制御線CTL、1本のリクエスト信号線LREQ、1本のクロック線SCLKが接続される。

【0014】データ線Dは、送受信用のデータを伝達する線であり、通信速度が400Mbpsのときには8本であり、通信速度が200Mbps、100Mbpsのときにはそれぞれ4本、2本である。制御線CTLは、送受信等を指示するための制御線である。リクエスト信号線LREQは、送信要求をするための線である。クロック線SCLKは、50MHzのクロック信号を伝達するための線である。

【0015】上記のデータ線D、制御線CTL、及びリクエスト信号線LREQは、双方向信号線である。クロック線SCLKは、物理層チップ1からリンク層チップ2への单方向信号線である。

【0016】双方向信号線は、8本のデータ線D、2本の制御線CTL、1本のリクエスト信号線LREQを含む11本である。单方向信号線は、1本のクロック信号線SCLKである。

【0017】入出力回路4、5及び外部部品3は、上記の12本の線毎に別々に設けられており、双方向信号線のものと单方向信号線のものとは回路構成が異なる。図3に、1本の双方向信号線のための具体的回路を示し、図6に、1本の单方向信号線のための具体的回路を示す。双方向信号線が11本あるので、図3の回路が11個並列に設けられ、单方向信号線が1本あるので、図6の回路がさらに1個設けられる。

【0018】なお、物理層チップ1とリンク層チップ2とをDC接続する場合には、外部部品3が除去され、物理層チップ1とリンク層チップ2とがダイレクトに接続される。

【0019】図3は、従来技術による双方向信号伝達回路の構成図である。信号伝達回路は、物理層チップ1とリンク層チップ2との間で双方向の信号伝達を行う。

【0020】物理層チップ1は、入出力回路4を有し、電源13およびグランド10に接続される。入出力回路4は、リンク層チップ2へ信号を出力するためのトライステート回路12と、リンク層チップ2から信号を入力するためのシミット回路11を有する。

【0021】リンク層チップ2は、物理層チップ1と同様の構成であり、入出力回路5を有する。入出力回路5は、物理層チップ1へ信号を出力するためのトライステート回路22と、物理層チップ1から信号を入力するた

めのシミット回路21を有する。リンク層チップ2には、電源23およびグランド20が接続される。

【0022】リンク層チップ2に接続される電源23とグランド20は、それぞれ物理層チップ1に接続される電源13とグランド10とは別系統のラインであり、電気的に絶縁されている。つまり、電源13とグランド10の電位差、および電源23とグランド20の電位差が同じ(例えば5V)であったとしても、グランド10の電位とグランド20の電位がずれていることも考えられる。グランド10の電位とグランド20の電位が異なれば、電源13の電位と電源23の電位も異なる。すなわち、物理層チップ1の動作電位とリンク層チップ2の動作電位が異なる場合がある。

【0023】物理層チップ1とリンク層チップ2の動作電位が同じであれば、物理層チップ1とリンク層チップ2をダイレクトに接続し、信号を伝達することができる。物理層チップ1とリンク層チップ2の動作電位が異なる場合には、外部部品3を介して物理層チップ1とリンク層チップ2を接続することにより、信号を伝達することが可能になる。1つの回路基盤上に、物理層チップ1とリンク層チップ2と外部部品3が配設される。

【0024】物理層チップ1の入出力回路4内において、トライステート回路12の出力信号線とシミット回路11の入力信号線が、物理層チップ1の入出力信号線(例えば、図2に示すデータ線D)に接続される。リンク層チップ2の入出力回路5内において、トライステート回路22の出力信号線とシミット回路21の入力信号線が、リンク層チップ2の入出力信号線(例えば、データ線D)に接続される。

【0025】外部部品3は、物理層チップ1の電源ラインを抵抗分割するための抵抗33及び31と、リンク層チップ2の電源ラインを抵抗分割するための抵抗36及び34と、物理層チップ1とリンク層チップ2のそれぞれの入出力信号線を結ぶ容量32及び容量35の直列接続と、当該直列接続の相互接続点(容量32と35の相互接続点)とグランド10を結ぶ抵抗37を有する。グランド10は、物理層チップ1に接続されるものと同じである。

【0026】物理層チップ1とリンク層チップ2との間では、双方向の信号伝達が可能である。物理層チップ1からリンク層チップ2に信号を伝達するには、物理層チップ1のトライステート回路12が信号を出し、当該信号をリンク層チップ2のシミット回路11が入力する。

【0027】逆に、リンク層チップ2から物理層チップ1に信号を伝達するには、リンク層チップ2のトライステート回路22が信号を出し、当該信号を物理層チップ1のシミット回路11が入力する。

【0028】両方向の信号伝達は、お互いに同様の動作を行う。以下、物理層チップ1からリンク層チップ2へ

信号を伝達する場合を例に説明する。

【0029】図4は、図3の回路動作を説明するための信号波形である。物理層チップ1中のトライステート回路12は、信号102を入力し、信号103の制御の下、3状態(3値論理)を有する信号301を出力する。トライステート回路12の動作を説明する。

【0030】入力信号102と制御信号103は、ハイレベルVH1とローレベルVL1の2状態(2値論理)を有する。出力信号301は、ハイレベルVH1、中間レベルVI1およびローレベルVL1の3状態(3値論理)を有する。ハイレベルVH1は、電源13の電位であり、ローレベルVL1はグランド10の電位である。中間レベルVI1は抵抗33と31により抵抗分割される電位であり、VH1とVL1の中間電位である。

【0031】トライステート回路12は、制御信号103がローレベルVL1のとき、入力信号102をそのまま出力信号301として出力し、制御信号103がハイレベルVH1のとき、トライステート回路12の出力をハイインピーダンス状態とし、出力信号301を入力信号102とは無関係に中間レベルVI1にする。

【0032】制御信号103は、入力信号102を基に生成される信号であり、入力信号102の変化時にローレベルとなる信号として生成される。入力信号102が変化しない時、制御信号103はハイレベルVH1になる。

【0033】出力信号301は、入力信号102が変化したときには制御信号103がローレベルVL1になるため、入力信号102と同じ信号レベルになり、入力信号102が変化しないときには制御信号103がハイレベルVH1になるため、中間レベルVI1になる。すなわち、トライステート回路12は、入力信号102を微分して出力信号301を出力する。

【0034】信号303は、容量32と35の接続点の電位であり、抵抗37を介してグランド10にプルダウンされている。信号303は、信号301の直流レベルを変移させた信号である。信号303の3状態VH3、VI3、VL3は、それぞれ信号301の3状態VH1、VI1、VL1に相当する。ただし、直流バイアス値が異なる。

【0035】中間レベルVI3は、グランド10の電位である。グランド10の電位に対し、ハイレベルVH3は正電位であり、ローレベルVL3は負電位である。VH3とVL3の電位差は、VH1とVL1の電位差と同じである。信号303と301は、相対的電位は同じであるが、絶対電位が異なる。

【0036】信号302は、リンク層チップ2内のシュミット回路21に入力される信号である。信号302は、信号303の直流レベルを変移させた信号である。信号302の3状態VH2、VI2、VL2は、それぞれ信号303の3状態VH3、VI3、VL3に相当す

る。ただし、直流バイアス値が異なる。

【0037】ハイレベルVH2は、電源23の電位であり、ローレベルVL2はグランド20の電位である。中間レベルVI2は、抵抗36と34により抵抗分割される電位であり、VH2とVL2の中間電位である。

【0038】次に、図3のシュミット回路21の動作を説明する。図5(A)は、シュミット回路21の入出力特性を示すグラフである。シュミット回路は、ヒステリシス特性を有する。

10 【0039】入力電圧が上昇する際は、入力電圧が0Vからしきい電圧V2までの間は出力電圧が0Vになり、入力電圧がしきい電圧V2を越えると出力電圧がハイレベルVHになる。入力電圧が下降する際は、入力電圧がしきい電圧V1までの間は出力電圧がハイレベルVHになり、入力電圧がしきい電圧V1から0Vまでの間は出力電圧が0Vになる。しきい電圧V1は、しきい電圧V2よりも小さい。

【0040】しきい電圧V1とV2は、しきい電圧V1とV2の間に中間レベルVI2がくるように設定され

20 20 【0041】図5(B)は、シュミット回路21に入力される入力電圧とそれに対応する出力電圧の例である。入力電圧が上昇し、しきい電圧V2を越えると、出力電圧は0VからハイレベルVHに変化する。その後、入力電圧が下降し、しきい電圧V1より小さくなると、出力電圧はハイレベルVHから0Vに変化する。

【0042】図3に戻り、シュミット回路21は、信号302を入力し、信号201を出力することにより、3

30 状態の信号302を2状態の信号201に復調する。図4において、入力信号302が中間レベルVI2を越えハイレベルVH2に達すると、出力信号201はローレベルVL2からハイレベルVH2へ変化する。その後、入力信号302がハイレベルVH2から中間レベルVI2まで下がり中間レベルVI2を維持している間も、出力信号201は引き続きハイレベルVH2を維持する。

【0043】入力信号302が中間レベルVI2からローレベルVL2まで下がると、出力信号201はハイレベルVH2からローレベルVL2に変化する。以下、同様な動作を行い、信号201が生成される。

【0044】以上のようにして、物理層チップ1内の信号102は、リンク層チップ2へ信号201として伝達される。信号102と201は、信号レベルが異なるが、論理値は同じである。

【0045】図6は、従来技術による単方向信号(例えばクロック信号SCLK)の伝達回路の構成図である。この信号伝達回路は、物理層チップ1からリンク層チップ2への単方向の信号伝達を行う。物理層チップ1は出力回路4を有し、リンク層チップ2は入力回路5を有する。

【0046】物理層チップ1とリンク層チップ2の間に接続される外部部品3は、双方向信号伝達回路（図3）のものと同じ構成でもよいが、以下のように簡略化することもできる。外部部品3は、リンク層チップ2の電源ラインを抵抗分割するための抵抗36及び34と、物理層チップ1とリンク層チップ2のそれぞれの入出力信号線を結ぶ抵抗42及び容量35の直列接続とを有する。

【0047】物理層チップ1の出力回路4は、リンク層チップ2へ信号を出力するためのトライステート回路12を有する。リンク層チップ2の入力回路5は、物理層チップ1から信号を入力するためのシュミット回路21を有する。つまり、单方向信号伝達回路は、双方向信号伝達回路（図3）のうち物理層チップ1内のシュミット回路11とリンク層チップ2内のトライステート回路22を取り除いた構成と同じである。

【0048】单方向信号伝達回路は、单方向のみ信号伝達が可能である点を除けば、上記の双方向信号伝達回路と同じ動作をする。

【0049】

【発明が解決しようとする課題】現在、DC接続用の通信インターフェース回路501（図2）が主に製品化され、統いて、AC接続用の通信インターフェース回路501の開発が進んでいる。AC接続用物理層チップ1は、図4の出力信号301に示したように、入力信号102の変化時のみ入力信号102をそのまま出力し、入力信号102が変化しないときには出力がハイインピーダンス状態で中間レベルVI1になる。一方、DC接続用物理層チップ1は、外部部品3（特に電圧分割用の抵抗31及び33）がないため、入力信号102を常にそのまま出力し、中間レベルが存在しない。

【0050】AC接続用の通信インターフェース回路501をDC接続用のものと同様に設計すると、以下の問題点が発生する。

【0051】リンク層チップ2は、図2に示す制御信号CTL等の他、自己の電源がオンであるか否かを示す信号LPSを物理層チップ1に出力する。物理層チップ1は、当該信号LPSを基に、リンク層チップ2が電源オフであるか否かを示す信号LinkPwrを生成する。そして、物理層チップ1は、信号LinkPwrを基に、リンク層チップ2の電源がオフであると判断した場合、その間、制御信号CTL（図2）をローレベルにして出力し、リンク層チップ2に待機を指示する。この時のタイミングチャートを次に示す。

【0052】図7は、信号LinkPwrと制御信号CTLのタイミングチャートを示す。信号LinkPwrは、ハイレベルのときにリンク層チップ2の電源がオンであり、ローレベルのとき（時刻t1～t2）にリンク層チップ2の電源がオフであることを示す。

【0053】制御信号CTLは、図3の回路中の箇所に応じて、信号301、信号303、及び信号302で表

される。時刻t1までは、仮に、信号301が中間レベルVI1、信号303が中間レベルVI3、信号302が中間レベルVI2であるとする。

【0054】時刻t1において、リンク層チップ2の電源がオフになり、信号LinkPwrがローレベルになったとする。その時、物理層チップ1は、信号301（制御信号CTL）をローレベルにして出力し、リンク層チップ1に待機を指示する。すると、容量32及び35が充電され、信号303は、中間レベルVI3からローレベルVL3に下がり、信号302は、中間レベルVI2からローレベルVL2に下がる。

【0055】時刻t1からt2までの間、信号LinkPwrがローレベルになると、物理層チップ1は、その間、信号301をローレベルVL1にして出力する。その時、容量32（例えば $0.001\mu F$ ）が抵抗37（例えば 300Ω ）を介して放電し、信号303はローレベルVL3から中間レベルVI3にCR時定数 $0.3\mu s$ （= $0.001\mu F \times 300\Omega$ ）で上昇する。そして、その時、容量35（例えば $0.001\mu F$ ）が抵抗37（例えば 300Ω ）を介して放電し、信号302はローレベルVL2から中間レベルVI2にCR時定数 $0.3\mu s$ （= $0.001\mu F \times 300\Omega$ ）で上昇する。

【0056】時刻t2において、信号LinkPwrがハイレベルになると、物理層チップ1は、出力をハイインピーダンス状態にする。容量32（例えば $0.001\mu F$ ）は、抵抗33（例えば $5k\Omega$ ）及び抵抗31（例えば $5k\Omega$ ）を介して放電するので、信号301は、ローレベルVL1から中間レベルVI1にCR時定数 $2.5\mu s$ （= $0.001\mu F \times 5k\Omega / 2$ ）で上昇する。

【0057】その後、仮に、時刻t3で、物理層チップ1が信号301をローレベルVL1にして出力する場合の不都合を説明する。

【0058】時刻t2の後、信号301がローレベルVL1から中間レベルVI1に達する途中の時刻t3でローレベルVL1に変化すると、その変化分だけ信号303及び302の電位が下がる。しかし、その変化分が小さいため、信号302は、シュミット回路11のしきい電圧VI（図5（A））よりも大きくなってしまう。すなわち、シュミット回路21は、信号302を時刻t3でローレベルと判断することができない。

【0059】時刻t3において、信号301は、中間レベルVI1に達する前にローレベルVL1に下がったため、上記の問題点が生じた。信号301が中間レベルVI1に達してから、ローレベルVL1に下がるのであれば、十分な変化分が得られ、シュミット回路11は適切にローレベルを判断することができる。

【0060】なお、信号LinkPwrの他、信号PupperResetの場合も同様である。信号PupperResetは、物理層チップ1の電源がオフになった後の所定期

間に動作を安定化させるためのリセットの期間を示す。信号 P u p R e s e t がハイレベルのときにはリセット期間であることを意味するので、信号 L i n k P w r の場合と同様に、制御信号 C T L をローレベルにしている。

【0061】また、その間、制御信号 C T L だけでなく、8ビットのデータ信号 D (図2) もローレベルにしている。データ信号 D の場合も、制御信号 C T L の場合と同じく上記の問題が生じる。

【0062】次に、図6に示すクロック信号 S C L K の信号伝達回路の問題点を説明する。上記の信号 L i n k P w r がローレベル又は信号 P u p R e s e t がハイレベルのとき、物理層チップ1は、クロック信号 S C L K をローレベルにして出力していた。この時のタイミングチャートを次に示す。

【0063】図8は、信号 L i n k P w r とクロック信号 S C L K のタイミングチャートを示す。

【0064】信号 L i n k P w r は、ハイレベルのときにリンク層チップ2の電源がオンであり、ローレベルのとき(時刻 t 1 ~ t 2)にリンク層チップ2の電源がオフであることを示す。

【0065】クロック信号 S C L K は、図6の回路中の箇所に応じて、信号 301、信号 302、及び信号 201 で表される。時刻 t 1 までは、仮に、信号 301 が中間レベル V I 1、信号 302 が中間レベル V I 2 であるとする。

【0066】時刻 t 1において、リンク層チップ2の電源がオフになり、信号 L i n k P w r がローレベルになったとする。その時、物理層チップ1は、信号 301 (クロック信号 S C L K) をローレベル V L 1 にして出力する。すると、容量 35 が充電され、信号 302 は、中間レベル V I 2 からローレベル V L 2 に下がる。リンク層チップ2のシュミット回路は、信号 302 がしきい電圧 V 1 より小さいローレベル V L 2 を認識し、信号 201 をローレベル V L 2 にして出力する。

【0067】時刻 t 1 から t 2 までの間、信号 L i n k P w r がローレベルになると、物理層チップ1は、その間、信号 301 をローレベル V L 1 にして出力する。その時、容量 35 (例えば 0. 001 μ F) が抵抗 34 (例えば 1. 8 k Ω) 及び抵抗 36 (例えば 1. 8 k Ω) を介して放電し、信号 302 はローレベル V L 2 から中間レベル V I 2 に CR 時定数 0. 9 μ s (= 0. 001 μ F × 1. 8 k Ω / 2) で上昇する。そして、その時、シュミット回路 21 は、信号 302 がしきい電圧 V 2 より小さいので、信号 201 をローレベル V L 2 に維持する。

【0068】時刻 t 2において、信号 L i n k P w r がハイレベルになると、物理層チップ1は、50MHz のクロック信号を信号 301 として出力する。その時、容量 35 が充電され、信号 302 は上記のクロック信号を

中間レベル V I 2 でバイアスした信号となる。その後、容量 35 が抵抗 34 及び抵抗 36 を介して放電し、信号 302 のバイアスが中間レベル V I 2 からローレベル V L 2 に CR 時定数 0. 9 μ s (= 0. 001 μ F × 1. 8 k Ω / 2) で下がる。

【0069】時刻 t 2 の後、信号 302 がしきい電圧 V 2 より大きくなると、シュミット回路 21 は、信号 201 をハイレベル V H 2 にして出力する。時刻 t 2 から t 3 までの間、信号 302 がしきい電圧 V 1 よりも大きいので、シュミット回路 21 は、信号 201 をハイレベル V H 2 に維持し、50MHz のクロック信号を出力することができない。

【0070】時刻 t 3 になると、信号 302 がしきい電圧 V 1 より小さくなるので、シュミット回路 21 は、信号 201 を 50MHz のクロック信号として出力することができる。以上のように、信号 201 は、時刻 t 3 を過ぎれば 50MHz のクロック信号になるが、時刻 t 2 から t 3 までの間は 50MHz のクロック信号にならない。

【0071】なお、信号 L i n k P w r の他、信号 P u p R e s e t の場合も同様である。信号 P u p R e s e t がハイレベルのときにはリセット期間であることを意味するので、信号 L i n k P w r の場合と同様に、クロック信号 S C L K をローレベルにして出力している。

【0072】本発明の目的は、物理層チップとリンク層チップを A C 接続したときに安定した動作を行うことができる IEEE1394 インタフェース又はその制御方法を提供することである。

【0073】
【課題を解決するための手段】本発明の一観点によれば、2つの電圧状態とハイインピーダンス状態との3状態を出力端子から出力可能なトライステート回路と、リンク層の電源がオフの期間又は物理層の電源オンリセットの期間に前記トライステート回路の出力をハイインピーダンス状態に制御する制御回路とを有する IEEE1394 インタフェースが提供される。

【0074】リンク層の電源がオフの期間又は物理層の電源オンリセットの期間に、トライステート回路の出力を2つの電圧状態のいずれかにすると、IEEE1394 インタフェースの動作が安定しないが、トライステート回路の出力をハイインピーダンス状態にすれば、IEEE1394 インタフェースの動作を安定させることができる。

【0075】
【発明の実施の形態】図1は、本発明の実施例による通信インタフェース回路 501 (図2) の構成を示す。通信インタフェース回路 501 は、物理層チップ1とリンク層チップ2を有する。なお、通信インタフェース回路 501 は、図2と同様に、A C 接続の場合、外部部品3を有するが、図1では図示を省略している。

【0076】物理層チップ1は、図3のものと同様の入出力回路4を有する。入出力回路4は、2ビットの制御信号C T Lのための2個の入出力回路4 a (図3)、8ビットのデータ信号Dのための8個の入出力回路4 b (図3)、及びクロック信号S C L Kのための1個の出力回路4 c (図6)を有する。

【0077】物理層チップ1は、内部信号D i r e c t, -P u p R e s e t, L i n k P w r を有する。

【0078】信号D i r e c tは、1 (ハイレベル) のときにD C接続を意味し、0 (ローレベル) のときにA C接続を意味するものであり、信号D I R E C T (図2)と同じ信号である。

【0079】信号-P u p R e s e tは、物理層チップ1の電源がオンになった後の所定期間に動作を安定化させるためのリセット期間を示し、0のときにリセット期間であり、1のときにリセット期間でない。

【0080】信号L i n k P w r は、1のときにリンク層チップ2の電源がオンであることを示し、0のときにリンク層チップ2の電源がオフであることを示すものであり、リンク層チップ2から供給される信号L P Sを基に生成される。

【0081】回路4 a, 4 b, 4 cは、信号D i r e c tが0 (A C接続) である場合、かつ信号-P u p R e s e tが0 (リセット期間) である場合又は信号L i n k P w r が0 (リンク層チップ2が電源オフ) である場合に、中間レベル (ハイインピーダンス状態) を出力する。

【0082】すなわち、A C接続の場合かつリセット期間である場合に中間レベルを出力し、A C接続の場合かつリンク層チップの電源がオフの場合にも中間レベルを出力する。

【0083】入出力回路4 a及び4 bは、図3の入出力回路4と同じ構成であり、出力回路4 cは、図6の出力回路4と同じ構成である。ただし、上記の場合に中間レベルを出力する点が異なる。

【0084】制御信号C T Lの入力回路4 aとデータ信号Dの入出力回路4 bは、構成が同じであるので、制御信号C T Lの入出力回路4 aを例に説明する。

【0085】また、信号L i n k P w r が0の時と信号-P u p R e s e tが0の時とでは、物理層チップ1は同じ動作をするので、信号L i n k P w r が0の場合を例に説明する。

【0086】図9は、信号L i n k P w r と制御信号C T Lのタイミングチャートを示す。以下、図3の回路を参照しながら、図9を説明する。

【0087】信号L i n k P w r は、1 (ハイレベル) のときにリンク層チップ2の電源がオンであり、0 (ローレベル) のとき (時刻t 1 ~ t 2) にリンク層チップ2の電源がオフであることを示す。

【0088】制御信号C T Lは、図3の回路中の箇所に

応じて、信号3 0 1、信号3 0 3、及び信号3 0 2で表される。時刻t 1までは、仮に、信号3 0 1が中間レベルV I 1、信号3 0 3が中間レベルV I 3、信号3 0 2が中間レベルV I 2であるとする。

【0089】時刻t 1において、リンク層チップ2の電源がオフになり、信号L i n k P w r がローレベルになったとする。その時、物理層チップ1は、出力をハイインピーダンス状態にし、信号3 0 1 (制御信号C T L) を中間レベルV I 1に維持する。時刻t 1の前後において、信号3 0 1が変化しないので、信号3 0 3も中間レベルV I 3を維持し、信号3 0 2も中間レベルV I 2を維持する。

【0090】時刻t 1からt 2までの間、信号L i n k P w r がローレベルになると、物理層チップ1は、その間、信号3 0 1を中間レベルV I 1に維持する。その間、信号3 0 3は中間レベルV I 3を維持し、信号3 0 2は中間レベルV I 2を維持する。

【0091】時刻t 2において、信号L i n k P w r がハイレベルになると、図7のタイミングチャートと同じく、物理層チップ1は、出力をハイインピーダンス状態にし、出力端子を中間レベルV I 1に維持する。その時、信号3 0 3も中間レベルV I 3を維持し、信号3 0 2も中間レベルV I 2を維持する。

【0092】その後、仮に、時刻t 3で、物理層チップ1が信号3 0 1をローレベルV L 1にして出力する場合の信号を破線で示し、図7に示したような不都合が生じないことを説明する。

【0093】時刻t 3で、信号3 0 1が中間レベルV I 1からローレベルV L 1に変化すると、その変化分だけ信号3 0 3及び3 0 2の電位が下がる。その変化分は十分に大きいため、信号3 0 2のローレベルV L 2は、シユミット回路2 1のしきい電圧V 1 (図5 (A)) よりも小さくなる。シユミット回路1 1は、時刻t 3において信号3 0 2がローレベルV L 2であると適切に判断することができる。

【0094】なお、信号L i n k P w r の他、信号P u p R e s e tの場合も同様である。信号P u p R e s e tは、物理層チップ1の電源がオンになった後の所定期間に動作を安定化させるためのリセットの期間を示す。

【0095】また、信号P u p R e s e tがハイレベルのときにはリセット期間であることを意味するので、信号L i n k P w r の場合と同様に、制御信号C T Lを中間レベルにする。

【0096】また、その間、制御信号C T Lだけでなく、8ビットのデータ信号D (図1) も中間レベルにする。データ信号Dの場合も、制御信号C T Lの場合と同様に上記の問題を解消することができる。

【0097】次に、図6に示すクロック信号S C L Kの信号伝達回路を参照しながら、クロック信号S C L Kの制御方法を説明する。上記の信号L i n k P w r がローレベル又は信号P u p R e s e tがハイレベルのとき、

物理層チップ1は、クロック信号SCLKを中間レベルにする。この時のタイミングチャートを次に示す。

【0097】図10は、信号LinkPwrとクロック信号SCLKのタイミングチャートを示す。

【0098】信号LinkPwrは、ハイレベルのときにリンク層チップ2の電源がオンであり、ローレベルのとき(時刻t1～t2)にリンク層チップ2の電源がオフであることを示す。

【0099】クロック信号SCLKは、図6の回路中の箇所に応じて、信号301、信号302、及び信号201で表される。時刻t1までは、仮に、信号301が中間レベルVI1、信号302が中間レベルVI2であるとする。

【0100】時刻t1において、リンク層チップ2の電源がオフになり、信号LinkPwrがローレベルになったとする。その時、物理層チップ1は、信号301(クロック信号SCLK)を中間レベルVI1にして出力する。時刻t1の前後において、信号301は、中間レベルVI1を維持するため、信号302も、その間、中間レベルVI2を維持する。信号201は、この間、シミュレート回路21により前の信号状態が維持されるので、前の信号状態によりハイレベル又はローレベルのいずれかになる。

【0101】時刻t2において、信号LinkPwrがハイレベルになると、リンク層チップ2の電源がオンになったことを意味するので、物理層チップ1は、50MHzのクロック信号を信号301として出力し始める。

【0102】図8では、時刻t2において、信号301がローレベルVL1からハイレベルVH1に変化するため、信号302に中間レベルVI2のバイアスがかかり、信号302の信号レベル全体が高くなってしまう。

【0103】図10では、時刻t2において、信号301が中間レベルVI1からハイレベルVH1に変化するため、信号302も中間レベルVI2からハイレベルVH2に変化する。信号302は、ハイレベルVH2とローレベルVL2との間を変化する50MHzのクロック信号となる。

【0104】信号201も同様に、時刻t2から、ハイレベルVH2とローレベルVL2との間を変化する50MHzのクロック信号となる。

【0105】図8では、時刻t2からt3までの間、信号302がしきい電圧V1より小さくならぬいため、信号201は、その間、ハイレベルVH2になってしまふ。

【0106】図10では、時刻t2の後、信号302のローレベルVL2がしきい電圧V1より小さくなるので、信号201は、50MHzのクロック信号として再現される。

【0107】なお、信号LinkPwrの他、信号PupResetの場合も同様である。信号PupReset

tがハイレベルのときにはリセット期間であることを意味するので、信号LinkPwrの場合と同様に、クロック信号SCLK(信号301)を中間レベルにする。

【0108】図11は、上記の制御を実現するための物理層チップ1の構成を示す。物理層チップ1は、制御信号CTLの入出力回路4aとクロック信号SCLKの出力回路4cを有する。図11では省略しているが、物理層チップ1は、図1と同様に、2個の入出力回路4aと8個の入出力回路4bと1個の出力回路4cを有する。

10 入出力回路4bは、入出力回路4aと同様の構成である。

【0109】まず、AC接続(Direct=0)であり、リセット期間(-PupReset=0)の場合を説明する。NAND回路71は、信号Direct=0の論理反転信号と信号-PupReset=0の論理反転信号とを入力し、0を出力し、フリップフロップ72及び75をセット状態にする。

【0110】フリップフロップ72は、セットされたので、1を入出力回路4a内のトライステート回路12の制御端子に信号103(図3)として出力する。トライステート回路12は、上記の制御信号103を受けて、中間レベルを制御信号CTLとして出力する。

【0111】フリップフロップ75も、セットされたので、1を出力回路4c内のトライステート回路12の制御端子に信号103(図6)として出力する。トライステート回路12は、上記の制御信号103を受けて、中間レベルをクロック信号SCLKとして出力する。

【0112】以上のように、リセット期間(-PupReset=0)には、トライステート回路12の制御信号103を1に制御することにより、トライステート回路12の出力をハイインピーダンス状態(中間レベル)にすることができる。次に、AC接続(Direct=0)であり、リンク層電源オフ(LinkPwr=0)の場合を説明する。NOR回路73は、信号Direct=0と信号LinkPwr=0を入力し、1をNAND回路74及びフリップフロップ75に出力する。NAND回路74は、その1を論理反転した0を入力し、1をフリップフロップ72の入力端子に出力する。

【0113】フリップフロップ72は、その入力された1をそのままトライステート回路12の制御端子に信号103(図3)として出力する。トライステート回路12は、上記の制御信号103を受けて、中間レベルを制御信号CTLとして出力する。

【0114】フリップフロップ75は、NOR回路73から入力端子に入力された1をそのままトライステート回路12の制御端子に信号103(図6)として出力する。トライステート回路12は、上記の制御信号103を受けて、中間レベルをクロック信号SCLKとして出力する。

50 【0115】以上のように、リンク層電源オフ期間(L

$\text{link Pwr} = 0$) にも、トライステート回路12の制御信号 ctrl_1 を1に制御することにより、トライステート回路12の出力をハイインピーダンス状態(中間レベル)にすることができる。

【0116】なお、制御信号CTLは、シュミット回路11を介して入力制御信号 ctrl_{in} になる。出力制御信号 ctrl_{out} は、トライステート回路12を介して制御信号CTLになる。クロック信号 SCLK50 は、トライステート回路1,2を介して 50MHz のクロック信号SCLKになる。

【0117】データ信号Dの場合も、制御信号CTLの場合と同様である。データ信号Dの場合は、制御信号 $\text{ctrl}_{\text{in}}, \text{ctrl}_{\text{out}}$ がデータ信号 $d_{\text{in}}, d_{\text{out}}$ に代わる。すなわち、上記と同様に、データ信号Dは、シュミット回路11を介して入力データ信号 d_{in} になり、出力データ信号 d_{out} は、トライステート回路12を介してデータ信号Dになる。

【0118】なお、AC接続するためのアイソレーションバリアには、容量タイプとトランスタイプの2種類がある。図3の外部部品3は、容量タイプのアイソレーションバリアを構成するためのものである。外部部品3は、トランスタイプのアイソレーションバリアのものに置き換えるてもよい。

【0119】図12は、トランスタイプのアイソレーションバリアを構成するための外部部品3を示す。

【0120】外部部品3は、物理層チップ1の入出力信号線とグランド10との間に、容量32(例えば $0.01\mu\text{F}$)とコイル43(例えば $80\mu\text{H}$)が直列に接続され、リンク層チップ2の入出力信号線とグランド20との間に、容量35(例えば $0.001\mu\text{F}$)とコイル44(例えば $80\mu\text{H}$)が直列に接続される。抵抗45(例えば 300Ω)は、コイル44に並列に接続される。

【0121】以上のように、リンク層チップ2の電源がオフの場合($\text{LinkPwr} = 0$)、又は物理層チップ1の電源オンリセット期間の場合($-\text{PowerReset} = 0$)には、制御信号CTL、データ信号D及びクロック信号SCLKを中間レベルにして出力することにより、通信インターフェース回路501(図2)の動作を安定させることができる。

【0122】物理層チップ1とリンク層チップ2をDC接続する場合には、外部部品3(特に電圧分割するための抵抗31及び33等)がないため、制御信号CTL、データ信号D及びクロック信号SCLKをハイレベル又はローレベルのいずれかにするしかない。

【0123】しかし、物理層チップ1とリンク層チップ2をAC接続する場合には、外部部品3を有するため、物理層チップ1及びリンク層チップ2は、ハイレベル及びローレベルの他、中間レベルをも出力することができる。

【0124】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0125】

【発明の効果】以上説明したように、本発明によれば、リンク層の電源がオフの期間又は物理層の電源オンリセットの期間に、トライステート回路の出力をハイインピーダンス状態にすれば、IEEE1394インターフェースの動作を安定させることができる。

【図面の簡単な説明】

【図1】本発明の実施例によるIEEE1394インターフェースの構成図である。

【図2】IEEE1394規格の通信ネットワークの構成を示す図である。

【図3】双方向の信号伝達回路の構成図である。

【図4】図3の信号伝達回路の動作を説明するための信号波形図である。

【図5】図5(A)と(B)は、シュミット回路の特性を説明するための図である。

【図6】単方向の信号伝達回路の構成図である。

【図7】双方向信号伝達回路の問題点を説明するためのタイミングチャートである。

【図8】単方向信号伝達回路の問題点を説明するためのタイミングチャートである。

【図9】双方向信号伝達回路の問題点を解決するためのタイミングチャートである。

【図10】単方向信号伝達回路の問題点を解決するためのタイミングチャートである。

【図11】本実施例によるIEEE1394インターフェースの回路図である。

【図12】トランスタイプのアイソレーションバリアを構成するための外部部品の回路図である。

【符号の説明】

1 物理層半導体チップ

2 リンク層半導体チップ

3 外部部品

4, 5 入出力回路

13, 23 電源

40 10, 20 グランド

11, 21 シュミット回路

12, 22 トライステート回路

31, 33, 34, 36, 37, 42, 45, 抵抗

32, 35 容量

43, 44 コイル

71, 74 NAND回路

72, 75 フリップフロップ

73 NOR回路

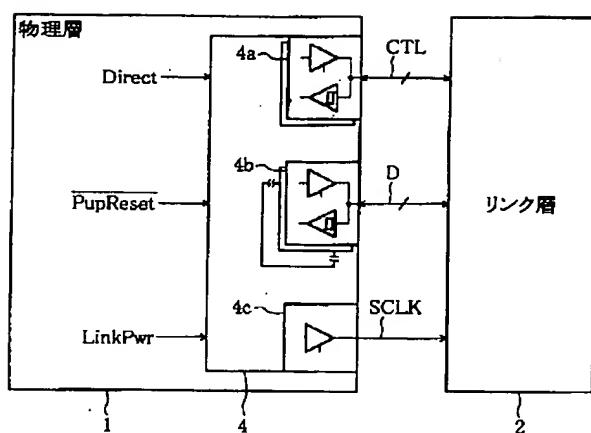
501 通信インターフェース回路

502 デバイス

503 通信ケーブル

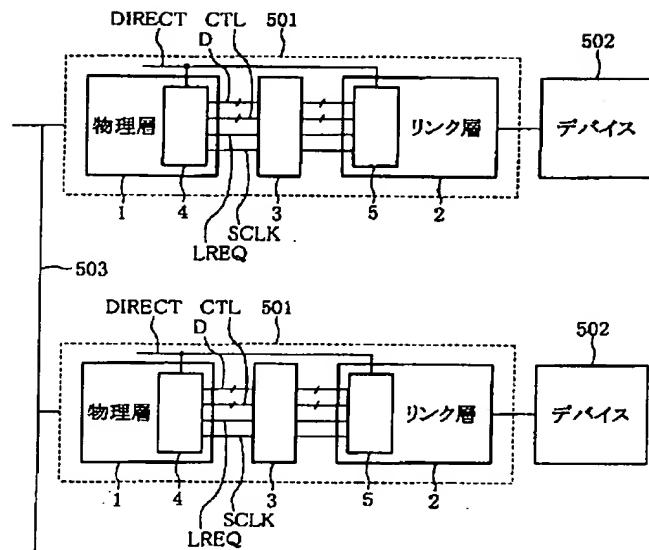
【図1】

実施例

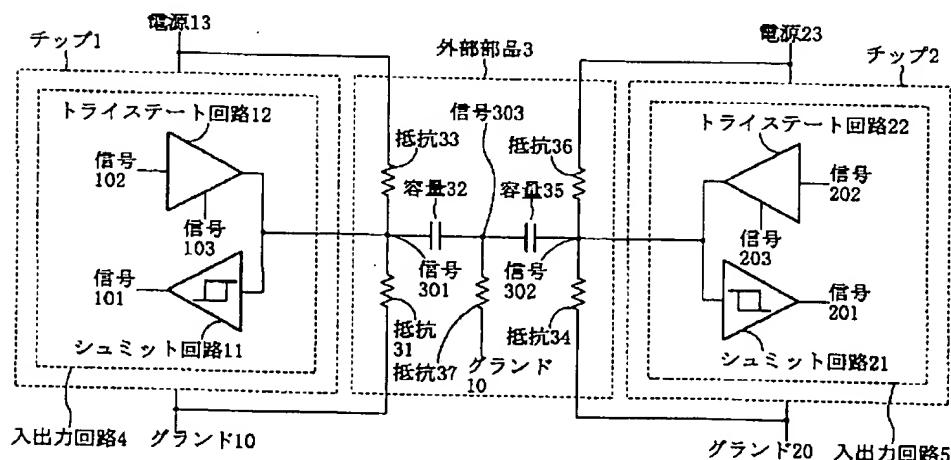
501

【図2】

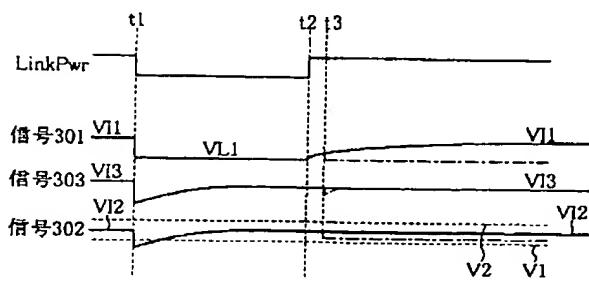
通信ネットワーク



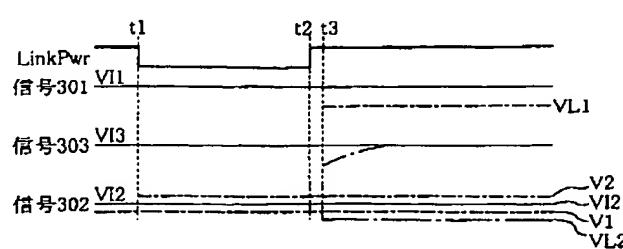
【図3】



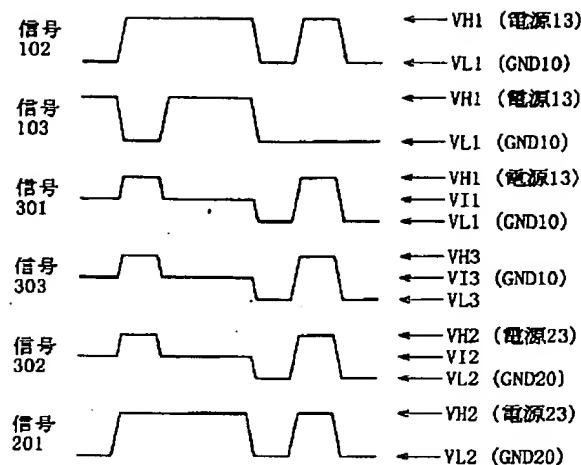
【図7】



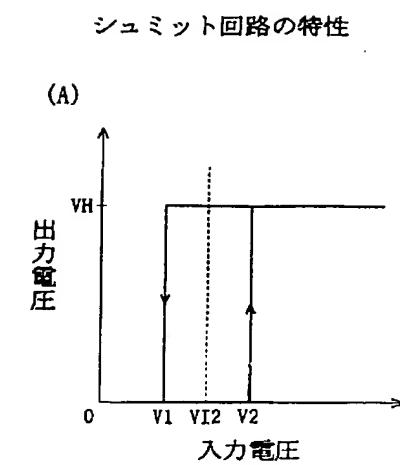
【図9】



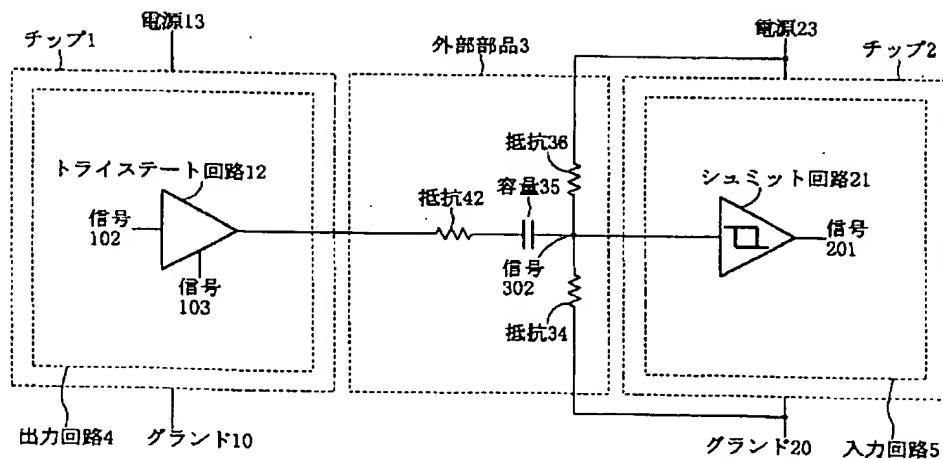
【図4】



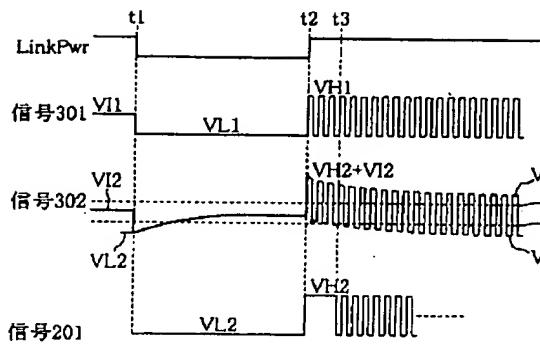
【図5】



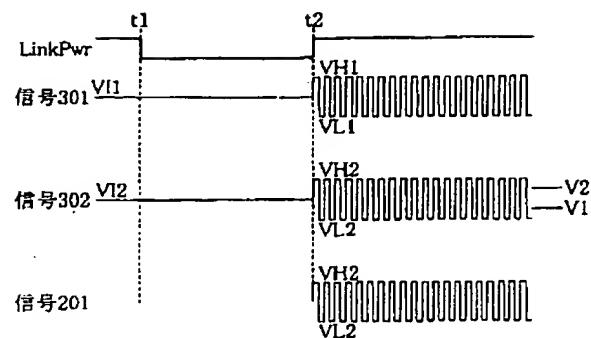
【図6】



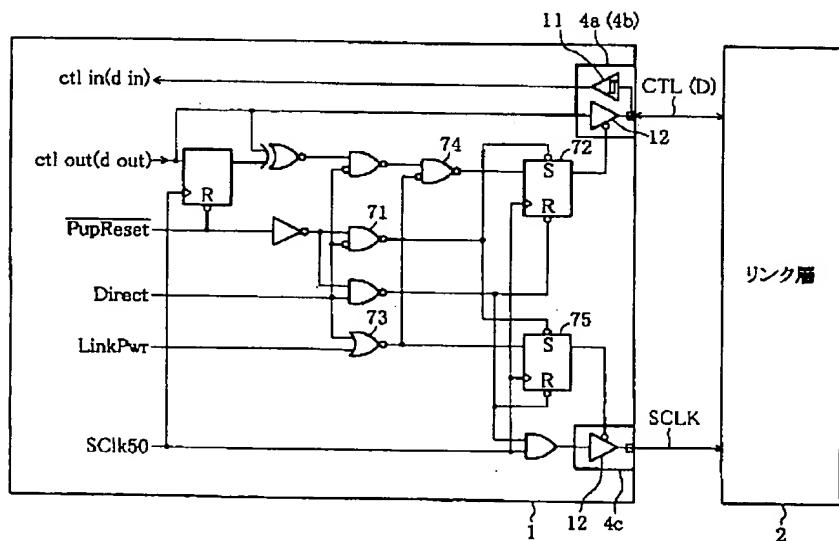
[図8]



【図10】



[☒ 1 1]



〔図12〕

